

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-358570

(43)Date of publication of application : 26.12.2001

(51)Int.Cl.

H03K 17/16
H03K 17/687
H03K 19/0175

(21)Application number : 2000-175667

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 12.06.2000

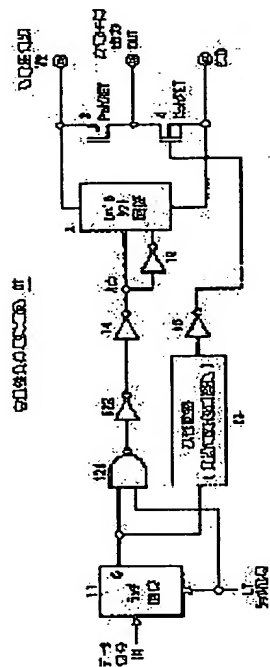
(72)Inventor : KAWAMURA KAZUHIRO

(54) CAPACITIVE LOAD DRIVING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid overlapping of timing by such a way that a high voltage side output OUT by bit serving as a mutual connection point of complementary FETs 3 and 4 connected to a high voltage power supply V2 has a value of H or L, by turning the FET 3 ON after turning the FET 4 OFF or by turning the FET 4 ON after turning the FET 3 OFF, and that, in a circuit for driving a capacitive load 01, a rise timing in which the output OUT rises from L to H is delayed largely compared to a fall timing in which the output OUT falls from H to L without an increase in the circuit size of an IC with respect to suppression of a circuit loss.

SOLUTION: When the high voltage side output OUT is allowed to rise from L to H, a latch output Q is made to be H at a fall of a latch signal LT at the front end of a pulse to firstly turn the FET OFF. When the latch signal LT rises to H at the rear end of the pulse through a pulse duration, the output of a NAND circuit 121 is L and the FET is turned ON. Thus, the delay time can be adjusted by the pulse width of the latch signal LT.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The power supply terminal by the side of 1 or two or more common potentials from the power source of a predetermined low battery, and the power source of the predetermined high voltage higher than this low battery, Have the low voltage power supply terminal and high voltage power supply terminal as a power supply terminal by the side of un-common potential, respectively from said low-battery power source and a high-voltage power source, and between the aforementioned high voltage power supply terminal and the common potential side power supply terminal which can be equivalent to this high voltage power supply terminal A pair of series connection of the 1st and 2nd output transistors so that the 1st output transistor may become a high voltage power supply terminal side And the mutual node of a pair of 1st [the] and the 2nd output transistor serves as an output terminal according to bit. Each The input terminal according to bit into which the bit signal which was equipped with two or more pairs so that it might connect with an external capacitive load, corresponded to the output terminal according to said bit further, respectively, and was generated by said low-battery power source is inputted, The terminal which inputs the latch signal of the predetermined pulse width outputted a predetermined period, The latch circuit which latches the bit signal which is established for every input terminal according to said bit, and is inputted into the input terminal according to the bit concerned by the front end of the pulse of said latch signal, So that it may become a value corresponding to the latch output value after the output value of the corresponding output terminal according to said bit being reversed whenever it is prepared for this every latch circuit and the latch output value of the latch circuit concerned is reversed The 1st drive mode which turns on said 1st output transistor which similarly corresponds after turning off said 2nd corresponding output transistor, Or 2nd drive mode which turns on said 2nd output transistor which similarly corresponds after turning off said 1st corresponding output

transistor is operated, respectively. After the potential of the output terminal according to bit in connection with the 1st drive mode is stabilized in that case, so that potential change of the output terminal according to bit in connection with the 2nd drive mode may be started Or after the potential of the output terminal according to bit in connection with the 2nd drive mode is stabilized It is the capacitive load drive circuit equipped with the output transistor driving means by which potential change of the output terminal according to bit in connection with the 1st drive mode is started. Initiation of an ON drive of the output transistor in connection with the drive mode in which said output transistor driving means becomes a potential change of output terminal according to bit consecutiveness side among the said 1st and 2nd drive mode The capacitive load drive circuit characterized by having the delay means made to perform by the back end of the pulse of said latch signal.

[Claim 2] The capacitive load drive circuit characterized by having the logic-gate circuit where said delay means considers the latch output and latch signal of said latch circuit as an input in a capacitive load drive circuit according to claim 1.

[Claim 3] The capacitive load drive circuit characterized by constituting some semiconductor integrated circuits [at least] in a capacitive load drive circuit according to claim 1 or 2.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention inputs the two or more bits data signal generated with the power source of a low battery. The output transistor by which complementary connection was made, respectively is driven through the level shift circuit prepared according to the input bit. It is the semiconductor integrated circuit outputted as a driving signal of H of the bit exception using the power source of a comparatively high electrical potential difference, and L. Especially, while the load like light emitting devices, such as a plasma display, a fluorescent indicator tube, and an EL display, itself [concerned] is capacitive, for example It is related with the capacitive load drive circuit as a circuit which drives a capacitive load which has joint capacity also between the loads of a contiguity bit (therefore, the load concerned charge and discharge). In

addition, in each drawing, the same sign shows the same or a considerable part below.

[0002]

[Description of the Prior Art] Drawing 3 shows the example of a configuration of an outline including the load side of the 2 bit part of contiguity of this kind of capacitive load drive circuit which constitutes a semiconductor integrated circuit. The drive (j-th bit and k-th bit) circuit where 01 (01j, 01k) adjoins in this drawing, IN (INj, INk) is outputted from the shift register outside drawing etc. The data signal which serves as an input to each drive circuits 01j and 01k, respectively, the high-voltage side output OUTj and whose OUTk are the outputs of each drive circuits 01j and 01k, respectively, The capacity in which the load (for example, light emitting devices, such as a plasma display) itself connected to the high-voltage side outputs OUTj and OUTk has Cj and Ck, respectively, and Cjk are capacity which exists between [with the adjoining high-voltage side outputs OUTj and OUTk] loads.

[0003] In addition, Cij considers as the capacity which exists between [with the high-voltage side output OUTi which adjoins the low order side outside the high-voltage side output OUTj and drawing] loads, and makes Ckl the capacity which exists between [with the high-voltage side output OUTl which similarly adjoins the high order side outside the high-voltage side output OUTk and drawing] loads. In each drive circuits 01j or 01k, V1 is the low-battery power source of several V, V2 is the high-voltage power source of several 10 V, and both these power sources V1 and V2 make Gland GND common potential. In addition, although interconnect which prepares separately from the high-voltage power-source V2 and low-battery power-source V1 side, and makes potential common in the exterior of a semiconductor integrated circuit is performed in order that the terminal of Gland GND may prevent noise interference within a semiconductor integrated circuit, it is not usually impossible to make the terminal of this separate gland GND common, either.

[0004] 1 is the low-battery control circuit which operates under the low-battery power source V1, and controls direct NchFET4 for PchFET3 again through the level shift circuit 2 which operates under the high-voltage power source V2 according to H of data signals INj or INk, and L, respectively. Here, PchFET3 and NchFET4 are prepared by the so-called complementary-type connection at the serial between the high-voltage power source V2 and Gland GND (however, the terminal of the gland GND of illustration is prepared as a high-voltage power-source V2 side) so that the mutual node may serve as the high-voltage side outputs OUTj and OUTk.

[0005] In this example, when data signals INj or INk are H, PchFET3 is controlled in ON and NchFET4 at OFF, respectively, and the high-voltage side outputs OUTj and

OUT_k are driven to H. On the other hand, when data signals IN_j or IN_k are L, PchFET3 is controlled at OFF, NchFET4 is controlled by ON, respectively, and the high-voltage side outputs OUT_j and OUT_k are driven to L.

[0006] Drawing 4 shows the example of the detail configuration of the capacitive load drive circuit 01 for 1 bit. In this drawing, each means of 11-16 constitutes the low-battery control circuit 1 of drawing 3, and, as for a latch circuit, and 12 and 13, a delay circuit, and 14-16 is [11] NOT circuits. In this example, for every fall of the pulse front end of the latch signal LT inputted as a pulse of a predetermined period, a latch circuit 11 shall latch the same signal of H or L as a data signal IN, shall output it to an output terminal Q, and the level shift circuit 2 shall carry out the level shift of the input signal of an A point, and it shall output the signal of H according to H of an A point, and L level, and L level as gate potential of PchFET3, respectively.

[0007] therefore, the time of a data signal IN being H as stationary actuation -- the latch output Q -- H -- therefore, through a delay circuit 12 and NOT circuit 14, A point potential is set to L and PchFET3 turns on the gate potential of L, therefore PchFET3 for it. Since the gate potential of NchFET4 is set to L through a delay circuit 13 and NOT circuit 15 and NchFET4 turns off at this time, the high-voltage side output OUT is set to H.

[0008] On the contrary, when a data signal IN is L, while the gate potential of PchFET3 is set to H and PchFET3 turns off, the gate potential of NchFET4 is set to H, and since NchFET4 turns on, the high-voltage side output OUT is set to L. Drawing 5 is the timing chart of operation expanding and showing actuation of drawing 4 in the neighborhood at the pulse input time of the latch signal LT. Next, referring to drawing 4, by drawing 5, H of a data signal IN and L switch and the actuation at the time is stated.

[0009] When a data signal IN, therefore an output OUT are conventionally set to L from H NchFET4 is made to turn on after PchFET3 turns off enough like drawing 5 a. When the penetration current which flows from FET3 to 4 is reduced and a data signal IN, therefore an output OUT are conversely set to H from L, after NchFET4 turns off enough like drawing 5 b, PchFET3 is made to turn on and the penetration current is reduced.

[0010] namely, the latch signal LT to a latch circuit 11 -- Time t -- if it falls from H to L in 1, a latch circuit 11 will latch H or L of a data signal IN, and the output Q of a latch circuit 11 will be set to H or L, respectively. and the case of the bit to which the latch circuit output Q is set to L from H like drawing 5 a -- the latch signal LT -- Time t -- if it falls to L by 1, PchFET3 turns off only time amount TP 1 behind time a certain short

transfer lag total. The time delay of the level shift circuit 2 and the gate capacitance charging time of PchFET3 are most, and he makes it become small [the time delay of a delay circuit 12] as much as possible, and is trying for PchFET3 to turn off this time delay TP 1 as quickly as possible.

[0011] the delay circuit 13 for NchFET4 to reduce a penetration current on the other hand -- a time -- t1 to time delay TNDL only -- it is behind and is made to turn on, and the after [this] high-voltage side output OUT changes to L from H, applying the fall time tf. conversely, the case of the bit to which the latch circuit output Q is set to H from L like drawing 5 b -- the latch signal LT -- Time t -- although PchFET3 must turn on if it falls to L by 1, it is necessary to turn off NchFET4 beforehand for penetration current reduction

[0012] the off timing of this NchFET4 -- the time delay of a delay circuit 13 -- as much as possible -- small -- becoming -- making -- NchFET4 -- Time t -- although only a certain short time delay TN1 is overdue and is turned off from 1 -- on the other hand -- PchFET3 -- a delay circuit 12 -- minding -- a time -- t1 to time delay TPDL only -- it is made for it to be behind and to turn on The timing to which the high-voltage side output OUT which shows the point which it should be careful of here to drawing 5 b rises from L to H is that the high-voltage side output OUT shown in drawing 5 a makes it slower than the timing which descends to L from H. This is because the consumed electric current of the capacitive load drive circuit 01 becomes large from the case where timing has shifted that the timing is simultaneous, when capacity exists between [which the high-voltage side output OUT adjoins] bits like drawing 3 and one output OUT is [the next output OUT] reversed from the condition of H to coincidence by L, respectively. For this reason, PchFET3 of the bit to which the high-voltage side output OUT is set to H from L in the example of drawing 5 is the time delay TPDL until the high-voltage side output OUT of the bit set to L from H turns completely into L level and it carries out an ON drive. It lengthens.

[0013]

[Problem(s) to be Solved by the Invention] As mentioned above, when changing H of the high-voltage side output OUT, and L level, in order to prevent the timing to which the high-voltage side output OUT rises from H to L, and the timing which descends to H from L lapping, in addition to the delay control which reduces a penetration current, the further delay is needed about PchFET3 in the capacitive load drive circuit 01.

[0014] That is, time delay TPDL until PchFET3 in drawing 5 turns on Time delay TNDL in the timing to which the high-voltage side output OUT is set to L from H at least It is necessary to delay by the time amount adding the fall time tf of the high-voltage side

output OUT. However, in the case of the semiconductor integrated circuit manufactured especially with the application of the micro-processing Ruhr, a circuit scale may become still larger if variation and temperature dependence are also taken into consideration with increase of a circuit scale, since making a long time delay has a quick transfer speed of a signal.

[0015] And if the load-carrying capacity connected to the high-voltage side output OUT changes, especially the time amount by which an output OUT changes from H to L is the time delay TPD_L set up until PchFET3 turned on in order to change with change of the fall time t_f of a lot (design). Timing may shift and the timing [bit / the bit to which the high-voltage side output OUT is set to L from H depending on the case, and / which is set to H from L] of output reversal may lap.

[0016] Then, even if this invention changes the load-carrying capacity connected to the high-voltage side output OUT, without increasing the circuit scale of a semiconductor integrated circuit, it makes it a technical problem to offer the capacitive load drive circuit which can prevent the lap of the timing of the reversal between bits which the high-voltage side output OUT reverses to hard flow mutually.

[0017]

[Means for Solving the Problem] In order to solve the aforementioned technical problem, the capacitive load drive circuit of claim 1 The power supply terminal by the side of 1 or two or more common potentials (gland GND) from the power source (V1) of a predetermined low battery, and the power source (V2) of the predetermined high voltage higher than this low battery, Have the low voltage power supply terminal and high voltage power supply terminal as a power supply terminal by the side of un-common potential, respectively from said low-battery power source and a high-voltage power source, and between the aforementioned high voltage power supply terminal and the common potential side power supply terminal which can be equivalent to this high voltage power supply terminal A pair of series connection of the 1st (PchFET3 etc.) and 2nd output transistors (NchFET4 etc.) so that the 1st output transistor may become a high voltage power supply terminal side And the mutual node of a pair of 1st [the] and the 2nd output transistor serves as an output terminal according to bit (high-voltage side output OUT). Each The input terminal according to bit into which the bit signal (data signal IN) which was equipped with two or more pairs so that it might connect with an external capacitive load, corresponded to the output terminal according to said bit further, respectively, and was generated by said low-battery power source is inputted, The terminal which inputs the latch signal (LT) of the predetermined pulse width (Tw) outputted a predetermined period, The latch circuit which latches the bit signal which

is established for every input terminal according to said bit, and is inputted into the input terminal according to the bit concerned by the front end (time t1) of the pulse of said latch signal (11), So that it may become a value corresponding to the latch output value after the output value of the corresponding output terminal according to said bit being reversed whenever it is prepared for this every latch circuit and the latch output value (Q) of the latch circuit concerned is reversed The 1st drive mode which turns on said 1st output transistor which similarly corresponds after turning off said 2nd corresponding output transistor, Or 2nd drive mode which turns on said 2nd output transistor which similarly corresponds after turning off said 1st corresponding output transistor is operated, respectively. After the potential of the output terminal according to bit in connection with the 1st drive mode is stabilized in that case, so that potential change of the output terminal according to bit in connection with the 2nd drive mode may be started Or after the potential of the output terminal according to bit in connection with the 2nd drive mode is stabilized It is the capacitive load drive circuit equipped with the output transistor driving means (the level shift circuit 2, a delay circuit 13, NOT circuits 14-16, etc.) by which potential change of the output terminal according to bit in connection with the 1st drive mode is started. Said output transistor driving means should be equipped with a delay means to make the ON drive of the output transistor in connection with the drive mode which becomes a potential change of output terminal according to bit consecutiveness side among the said 1st and 2nd drive mode start by the back end (time t2) of the pulse of said latch signal.

[0018] Moreover, the capacitive load drive circuit of claim 2 is equipped with the logic-gate circuits (NAND circuit 121, NOT circuit 122, etc.) where said delay means considers the latch output and latch signal of said latch circuit as an input in a capacitive load drive circuit according to claim 1.

[0019] Moreover, the capacitive load drive circuit of claim 3 shall constitute some semiconductor integrated circuits [at least] in a capacitive load drive circuit according to claim 1 or 2. That is, an operation of this invention is acquired with the pulse width to which the latch signal expanded the big time delay required in order to prevent the lap of the timing of potential change of the high-voltage side output OUT H->L and L->H, and bit mutual which the high-voltage side output OUT reverses to hard flow mutually.

[0020]

[Embodiment of the Invention] Drawing 1 corresponds to drawing 4 in drawing showing the detail configuration for 1 bit of the capacitive load drive circuit 01 as one example of this invention, and drawing 2 corresponds to drawing 5 in a neighboring timing chart of operation at the pulse input time of the latch signal LT of drawing 1 . NAND circuit 121

which considers the output Q of a latch circuit 11 and the latch signal LT as an input instead of the delay circuit 12 of drawing 4 in drawing 1, and NOT circuit 122 which reverses the output of this NAND circuit 121 are used.

[0021] And as shown in drawing 2, at this invention, it is the pulse width (the die length of L period) TW of the latch signal LT. The above-mentioned big time delay TPD_L which delays ON of PchFET3 when reversing the high-voltage side output OUT from L to H by making it longer than before He is trying to obtain. Next, with the timing chart 2 of operation, H of the data signal IN in drawing 1 and L switch, and the actuation at the time is stated.

[0022] Also in drawing 1, if the latch signal LT to a latch circuit 11 falls from H to L, a latch circuit 11 will latch H or L of a data signal IN, and the output Q of a latch circuit 11 will be set to H or L, respectively. drawing 2 a -- like -- Time t -- the actuation about a bit from which the latch circuit output Q is set [H] to L in 1 -- drawing 5 a -- almost -- the same -- the latch signal LT -- Time t -- if it falls to L by 1, PchFET3 turns off only TP 1 of time amount (the time delay of the level shift circuit 2 and the gate capacitance charging time of PchFET3 mostly) behind time a certain short transfer lag total.

[0023] the delay circuit 13 for NchFET4 to reduce a penetration current on the other hand -- a time -- t₁ to time delay TND_L only -- be behind, turn on and pass the after [this] fall time t_f -- the high-voltage side output OUT is set to L from H. in this case, the time t -- even if the latch signal LT returns to 2 at H, since the latch circuit output Q continues being L, this condition is held. in addition, the latch circuit output Q -- a time -- t₁ or later -- H -- although NchFET4 is still off in the case of the bit which becomes keeping -- PchFET3 -- pulse width (L period) TW of the condition of ON to the latch signal LT Only corresponding time amount is temporarily driven to an OFF state.

[0024] However, it will be maintained at a high impedance condition, and the drive circuit 01 side seen from the load terminal (high-voltage side output OUT) concerned in this OFF state is this period TW. About 200ns and since it is very short, the electrical-potential-difference change by discharge of a capacitive load is small, and that effect can be disregarded. next, drawing 2 b -- like -- Time t -- period TW when the latch signal LT has fallen to L in the bit in which the latch circuit output Q is set to H from L by 1 The output of NAND circuit 121 tends to carry out the OFF drive of with [3] H (i.e., the PchFET) regardless of the latch circuit output Q in between. In this case, since t₁ or before is an OFF state the time of the latch signal LT falling to L, PchFET3 will hold that OFF state.

[0025] on the other hand -- NchFET4 -- Time t -- when the latch circuit output Q is set to H from L by 1, the input of a delay circuit 13 changes to the signal which carries out the

off drive of NchFET4. in order to make it become small [the time delay of a delay circuit 13] as much as possible like [in this timing] the case of drawing 5 b -- NchFET4 -- Time t -- from 1, only a certain short time delay TN1 is overdue, and is turned off.

[0026] If the latch signal LT returns to H by 2, as for the output of NAND circuit 121, the latch circuit output Q will switch from H to L by t2 at this time for H. next, the time t -- PchFET3 a time -- a certain short transfer lag total from t2 -- time amount (delay of the level shift circuit 2 and the gate capacitance charging time of PchFET3 mostly) TP 2 -- being behind -- that is, the time t -- when it is time delay $TPDL = TW + TP2$ from 1, it will turn on.

[0027] Therefore, the timing of ON of PchFET3 The timing TW of the start (back end of a latch signal pulse) from L to H of the latch signal LT, i.e., pulse width of the latch signal LT, For the penetration current reduction when being able to control to arbitration and setting the high-voltage side output OUT to H from L like before The delay circuit 12 which delays ON of PchFET3 greatly specially becomes unnecessary. As a delay circuit It becomes that what is necessary is just to use comparatively few delay circuits 13 of the amount of delay which delays the timing of ON of NchFET4 for the penetration current reduction when setting the high-voltage side output OUT to L from H.

[0028] By the way, about a latch circuit 11, what holds a data signal with the fall edge (that is, front end of a latch signal pulse) of the latch signal LT, and the latch circuit held with the start edge (that is, back end of a latch signal pulse) of the latch signal LT can be considered like the above-mentioned example. However, if, as for the latter latch circuit, a data signal IN changes to the period of the pulse width of the latch signal LT, the latch output Q will change. Therefore, like especially this time, when the pulse width period of the latch signal LT is long, the circuit which holds a data signal by the pulse front end of the latch signal LT like the former latch circuit is good to have stopped the clock signal to the pulse back end of the latch signal LT by case [like the output from the shift register which operates with a clock] whose data signal IN is.

[0029] Moreover, what is necessary is just to put in a NOT circuit between NAND circuit 121 and the latch signal LT, when the pulse of the latch signal LT is made into H level contrary to an example. If the consumed electric currents of the capacitive load drive circuit 01 are only reduced, contrary to the timing of the above-mentioned example, from the timing which the high-voltage side output OUT reverses from H to L, how to bring forward the timing reversed from L to H is also considered, and this is also contained in this invention.

[0030] However, since a lap will arise in this case at the period of H of the high-voltage

side output OUT, when only the bit from which the data signal is data of H emits light to the active timing of the signal by the side of a scan like especially a plasma display panel, light may be incorrect-emitted in the part of this lap. Therefore, in the above-mentioned example, the high-voltage side output OUT constitutes the circuit from a form which made late the timing reversed from L to H from the timing reversed from H to L.

[0031]

[Effect of the Invention] According to this invention, the two or more bits data signal generated with the power source of a low battery is inputted. The output transistor by which complementary connection was made, respectively is driven through the level shift circuit prepared according to the input bit. In the circuit which acquires the driving signal of H of the bit exception using the power source of a comparatively high electrical potential difference, and L as a high-voltage side output OUT, and drives the capacitive load according to bit It can set $H > L$ and $L > H$, and between [that the high-voltage side output OUT reverses to hard flow mutually] bits. Since it was made to obtain with the pulse width to which the latch signal expanded the big time delay for preventing the lap of the timing of potential change of the high-voltage side output OUT, and reducing loss of a capacitive load drive circuit It is not necessary to add especially an input signal, and since a big time delay is controllable by the pulse width of the latch signal only used conventionally to arbitration, it can respond also to various load-carrying capacity, the temperature characteristic etc. can be taken into consideration, and a time delay can be set up by the user side of a capacitive load drive circuit. It becomes unnecessary to increase the circuit scale of a semiconductor integrated circuit furthermore.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The detail block diagram for 1 bit of the capacitive load drive circuit as one example of this invention

[Drawing 2] The timing chart showing actuation of the important section of drawing 1

[Drawing 3] The block diagram of the outline containing the load side for 2 bits which a capacitive load drive circuit adjoins

[Drawing 4] It is the block diagram of a circuit conventionally corresponding to drawing 1.

[Drawing 5] The timing chart showing actuation of the important section of drawing 4

[Description of Notations]

01 Capacitive Load Drive Circuit

2 Level Shift Circuit

3 PchFET

4 NchFET

11 Latch Circuit

13 Delay Circuit

14-16 NOT circuit

121 NAND Circuit

122 NOT Circuit

1N Data signal

LT Latch signal

V1 Low-battery power source

V2 High-voltage power source

OUT High-voltage side output

GND Gland

TW Pulse width of a latch signal

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-358570
(P2001-358570A)

(43) 公開日 平成13年12月26日 (2001. 12. 26)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 3 K	17/16	H 0 3 K 17/16	L 5 J 0 5 5
	17/687	17/687	F 5 J 0 5 6
	19/0175	19/00	1 0 1 F

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願2000-175667 (P2000-175667)

(22) 出願日 平成12年6月12日 (2000. 6. 12)

(71) 出願人 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号
(72) 発明者 川村 一裕
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(74) 代理人 100088339
弁理士 篠部 正治

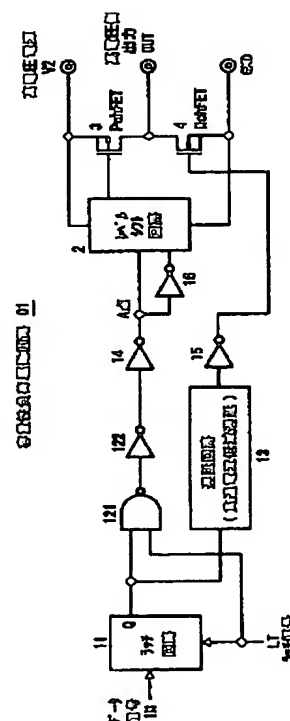
最終頁に続く

(54) 【発明の名称】 容量性負荷駆動回路

(57) 【要約】

【課題】 ビット別のデータ信号 I N の H 又は L に応じ、高電圧電源 V 2 に接続された相補型 F E T 3, 4 の相互接続点としてのビット別の高電圧側出力 O U T を、F E T 4 をオフ後 F E T 3 をオンすることで H、又は F E T 3 をオフ後 F E T 4 をオンすることで L とし、図外の容量性負荷を駆動する回路 0 1 にて、負荷電流による回路損失抑制上、出力 O U T が H → L に下降するビットの下降タイミングより、L → H に上昇するビットの上昇タイミングを、I C の回路規模を増大させずに大きく遅延してタイミングの重なりを防ぐ。

【解決手段】 高電圧側出力 O U T を L → H に上昇する場合、ラッチ信号 L T のパルス前端の立下がりではラッチ出力 Q を H とし F E T 4 を先ずオフする。ラッチ信号 L T が L のパルス幅期間を経てパルス後端で H に立上ると、NAND 回路 1 2 1 の出力が L となり F E T 3 をオンするので、遅延時間をラッチ信号 L T のパルス幅で調整できる。



(2)

1

【特許請求の範囲】

【請求項 1】所定の低電圧の電源および該低電圧より高い所定の高電圧の電源からの 1 または複数の共通電位側の電源端子と、
前記低電圧電源および高電圧電源からのそれぞれ非共通電位側の電源端子としての低圧電源端子および高圧電源端子とを持ち、
前記の高圧電源端子と該高圧電源端子に対応し得る共通電位側電源端子との間に、第 1 及び第 2 の出力トランジスタの対の直列接続を、第 1 の出力トランジスタが高圧電源端子側となるように、且つ対の第 1 及び第 2 の出力トランジスタの相互の接続点がビット別出力端子となつて、それぞれ外部の容量性負荷に接続されるように複数対備え、さらに、
前記ビット別出力端子にそれぞれ対応し、前記低電圧電源によって生成されたビット信号が入力されるビット別入力端子と、
所定周期で出力される所定のパルス幅のラッチ信号を入力する端子と、
前記ビット別入力端子毎に設けられ、当該ビット別入力端子に入力されるビット信号を前記ラッチ信号のパルスの前端でラッチするラッチ回路と、
該ラッチ回路毎に設けられ、当該ラッチ回路のラッチ出力値が反転する毎に、対応する前記ビット別出力端子の出力値が反転後のラッチ出力値に対応した値となるように、対応する前記第 2 の出力トランジスタをオフしたうえ、同じく対応する前記第 1 の出力トランジスタをオンする第 1 の駆動モード、または、対応する前記第 1 の出力トランジスタをオフしたうえ、同じく対応する前記第 2 の出力トランジスタをオンする第 2 の駆動モードの動作をそれぞれ行わせ、
その際、第 1 の駆動モードに関わるビット別出力端子の電位が安定したのちに、第 2 の駆動モードに関わるビット別出力端子の電位変化が開始されるように、または、第 2 の駆動モードに関わるビット別出力端子の電位が安定したのちに、第 1 の駆動モードに関わるビット別出力端子の電位変化が開始されるようにする出力トランジスタ駆動手段とを備えた容量性負荷駆動回路であって、
前記出力トランジスタ駆動手段が、前記第 1、第 2 の駆動モードのうちビット別出力端子の電位変化が後続側となる駆動モードに関わる出力トランジスタのオン駆動の開始を、前記ラッチ信号のパルスの後端で行わせる遅延手段を備えたことを特徴とする容量性負荷駆動回路。
【請求項 2】請求項 1 に記載の容量性負荷駆動回路において、
前記遅延手段が前記ラッチ回路のラッチ出力およびラッチ信号を入力とする論理ゲート回路を備えたものであることを特徴とする容量性負荷駆動回路。
【請求項 3】請求項 1 または 2 に記載の容量性負荷駆動回路において、半導体集積回路の少なくとも一部を構成

2

することを特徴とする容量性負荷駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、低電圧の電源で生成された複数ビットのデータ信号を入力し、入力ビット別に設けられたレベルシフト回路等を介し、それぞれ相補接続された出力トランジスタを駆動し、比較的高い電圧の電源を用いたビット別の H、L の駆動信号として出力する半導体集積回路であって、特に例えばプラズマディスプレイ、蛍光表示管、EL ディスプレイ等の発光素子のような当該負荷自体が容量性であると同時に、隣接ビットの負荷との間にも結合容量を持つような容量性負荷を駆動（従って当該負荷を充放電）する回路としての容量性負荷駆動回路に関する。なお以下各図において同一の符号は同一もしくは相当部分を示す。

【0002】

【従来の技術】図 3 は半導体集積回路を構成する、この種の容量性負荷駆動回路の隣接 2 ビット部分の、負荷側を含めた概略の構成例を示す。同図において、01 (01j, 01k) は隣接する j ビット目及び k ビット目の駆動回路、IN (INj, INk) は図外のシフトレジスタなどから出力され、それぞれ各駆動回路 01j, 01k への入力となるデータ信号、OUTj と OUTk はそれぞれ各駆動回路 01j, 01k の出力である高電圧側出力、Cj と Ck はそれぞれ高電圧側出力 OUTj と OUTk に接続された負荷（例えばプラズマディスプレイ等の発光素子）自体が持つ容量、Cjk は隣接する高電圧側出力 OUTj と OUTk との負荷相互間に存在する容量である。

【0003】なお、Ci j は高電圧側出力 OUTj と図外の下位側に隣接する高電圧側出力 OUTi との負荷相互間に存在する容量とし、Ck l は同じく高電圧側出力 OUTk と図外の上位側に隣接する高電圧側出力 OUTl との負荷相互間に存在する容量とする。各駆動回路 01j または 01k において、V1 は例えば数 V の低電圧電源、V2 は例えば数 10 V の高電圧電源で、この両電源 V1, V2 はグランド GND を共通の電位としている。なお通常、グランド GND の端子は半導体集積回路内でのノイズ干渉を防ぐために、高電圧電源 V2 側と低電圧電源 V1 側と別個に設け、半導体集積回路の外部で電位を共通とする相互接続が行われるが、この別個のグランド GND の端子を共通とすることも不可能ではない。

【0004】1 は低電圧電源 V1 の下で動作する低電圧制御回路で、データ信号 INj または INk の H、L に応じて、高電圧電源 V2 の下で動作するレベルシフト回路 2 を介し Pch FET 3 を、また直接 Nch FET 4 をそれぞれ制御する。ここで、Pch FET 3 と Nch FET 4 は、その相互の接続点が高電圧側出力 OUTj または OUTk となるように高電圧電源 V2 とグランド

(3)

3

GND（但し図示のグランドGNDの端子は高電圧電源V2側として設けられている）の間に直列に、いわゆる相補型接続で設けられている。

【0005】本例では、データ信号IN_jまたはIN_kがHのときはPchFET3はオン、NchFET4をオフにそれぞれ制御され、高電圧側出力OUT_jまたはOUT_kはHに駆動される。他方、データ信号IN_jまたはIN_kがLのときはPchFET3はオフ、NchFET4はオンにそれぞれ制御され、高電圧側出力OUT_jまたはOUT_kはLに駆動される。

【0006】図4は1ビット分の容量性負荷駆動回路01の詳細構成の例を示す。同図において、11～16の各手段は図3の低電圧制御回路1を構成しており、11はラッチ回路、12、13は遅延回路、14～16はNOT回路である。本例ではラッチ回路11は、所定周期のパルスとして入力されるラッチ信号LTのパルス前端的立上がり毎に、データ信号INと同じHまたはLの信号をラッチして出力端子Qに出力するものとし、またレベルシフト回路2はA点の入力信号をレベルシフトし、A点のH、Lレベルにそれぞれ応じたH、Lレベルの信号をPchFET3のゲート電位として出力するものとする。

【0007】従って定常動作としては、データ信号INがHの時は、ラッチ出力QはH、よってA点電位は遅延回路12およびNOT回路14を介してL、従ってPchFET3のゲート電位はLとなってPchFET3がオンする。このとき、NchFET4のゲート電位は遅延回路13およびNOT回路15を介してLとなり、NchFET4がオフするので、高電圧側出力OUTはHとなる。

【0008】逆に、データ信号INがLの時は、PchFET3のゲート電位はHとなってPchFET3がオフする一方、NchFET4のゲート電位はHとなり、NchFET4がオンするので高電圧側出力OUTはLとなる。図5はラッチ信号LTのパルス入力時点付近における図4の動作を拡大して示す動作タイミング図である。次に図4を参照しつつ図5により、データ信号INのH、Lの切り替わり時の動作を述べる。

【0009】従来はデータ信号IN、従って出力OUTがHからLになる場合は、図5a)のようにPchFET3が十分オフしてからNchFET4をオンさせて、FET3から4へ流れる貫通電流を低減させ、逆にデータ信号IN、従って出力OUTがLからHになる場合は、図5b)のようにNchFET4が十分オフしてから、PchFET3をオンさせて貫通電流を低減させている。

【0010】即ち、ラッチ回路11へのラッチ信号LTが、時点t1においてHからLに立下がると、ラッチ回路11はデータ信号INのHまたはLをラッチし、ラッチ回路11の出力QはそれぞれHまたはLとなる。そし

4

て図5a)のようにラッチ回路出力QがHからLになるビットの場合は、ラッチ信号LTが時点t1でLに立下がるとPchFET3は或る短い伝達遅延時間T_{PI}だけ遅れてオフする。この遅延時間T_{PI}はレベルシフト回路2の遅延時間及びPchFET3のゲート容量充電時間が大半で、遅延回路12の遅延時間は極力小さくするようにし、PchFET3がなるべく速くオフするようにしている。

【0011】一方、NchFET4は貫通電流を低減するための遅延回路13により時点t1から遅延時間T_{NDL}だけ遅れてオンするようにし、このうち高電圧側出力OUTは下降時間t_fをかけてHからLに推移する。逆に図5b)のようにラッチ回路出力QがLからHになるビットの場合は、ラッチ信号LTが時点t1でLに立下がるとPchFET3はオンしなければならないが、貫通電流低減のため予めNchFET4をオフする必要がある。

【0012】このNchFET4のオフのタイミングでは遅延回路13の遅延時間は極力小さくするようにして、NchFET4は時点t1から或る短い遅延時間T_{NI}だけ遅れてオフするが、一方、PchFET3は遅延回路12を介して時点t1から遅延時間T_{PDL}だけ遅れてオンさせる。ここで注意すべき点は、図5b)に示す高電圧側出力OUTがLからHに上昇するタイミングは、図5a)に示す高電圧側出力OUTがHからLに下降するタイミングより遅くしていることである。これは、図3のように、高電圧側出力OUTの隣接するビット相互間に容量が存在する場合、一方の出力OUTがLでその隣の出力OUTがHの状態から、それぞれ同時に反転する時、そのタイミングが同時であると、タイミングがずれている場合より容量性負荷駆動回路01の消費電流が大きくなるからである。このため図5の例では、高電圧側出力OUTがLからHになるビットのPchFET3は、HからLになるビットの高電圧側出力OUTがLレベルになりきるまで、オン駆動するまでの遅延時間T_{PDL}を長くしている。

【0013】

【発明が解決しようとする課題】上述のように容量性負荷駆動回路01では高電圧側出力OUTのH、Lレベルを切り替える場合、PchFET3については、貫通電流を低減させる遅延制御に加え、高電圧側出力OUTがHからLに上昇するタイミングとLからHに下降するタイミングが重なることを防ぐためにさらなる遅延が必要となる。

【0014】つまり、図5におけるPchFET3がオンするまでの遅延時間T_{PDL}は、少なくとも高電圧側出力OUTがHからLになるタイミングでの遅延時間T_{NDL}と高電圧側出力OUTの下降時間t_fとを加算した時間分遅らせる必要がある。しかし、特に微細加工ルールを適用して製作される半導体集積回路の場合、長い遅

(4)

5

延時間を作りだすことは信号の伝達スピードが速いために回路規模の増大を伴い、バラツキ、温度依存性も考慮すると回路規模はさらに大きくなる可能性もある。

【0015】しかも、高電圧側出力OUTに接続される負荷容量が変わると、出力OUTがHからLに変化する時間は、特に下降時間 t_f の変化によって大きく変化するため、PchFET3がオンするまでの設定（設計）した遅延時間 T_{PDL} とのタイミングがずれ、場合によっては高電圧側出力OUTがHからLになるビットとLからHになるビットとの出力反転のタイミングが重なる可能性もある。

【0016】そこで本発明は、半導体集積回路の回路規模を増大させることなく、高電圧側出力OUTに接続される負荷容量が変わっても、互いに逆方向に高電圧側出力OUTが反転するビット相互の反転のタイミングの重なりを防ぐことができる容量性負荷駆動回路を提供することを課題とする。

【0017】

【課題を解決するための手段】前記の課題を解決するために、請求項1の容量性負荷駆動回路は、所定の低電圧の電源（V1）および該低電圧より高い所定の高電圧の電源（V2）からの1または複数の共通電位（グランドGND）側の電源端子と、前記低電圧電源および高電圧電源からのそれぞれ非共通電位側の電源端子としての低圧電源端子および高圧電源端子とを持ち、前記の高圧電源端子と該高圧電源端子に対応し得る共通電位側電源端子との間に、第1（PchFET3など）及び第2の出力トランジスタ（NchFET4など）の対の直列接続を、第1の出力トランジスタが高圧電源端子側となるように、且つ対の第1及び第2の出力トランジスタの相互の接続点がビット別出力端子（高電圧側出力OUT）となつて、それぞれ外部の容量性負荷に接続されるように複数対備え、さらに、前記ビット別出力端子にそれぞれ対応し、前記低電圧電源によって生成されたビット信号（データ信号IN）が入力されるビット別入力端子と、所定周期で出力される所定のパルス幅（ T_w ）のラッチ信号（LT）を入力する端子と、前記ビット別入力端子毎に設けられ、当該ビット別入力端子に入力されるビット信号を前記ラッチ信号のパルスの前端（時点 t_1 ）でラッチするラッチ回路（11）と、該ラッチ回路毎に設けられ、当該ラッチ回路のラッチ出力値（Q）が反転する毎に、対応する前記ビット別出力端子の出力値が反転後のラッチ出力値に対応した値となるように、対応する前記第2の出力トランジスタをオフしたうえ、同じく対応する前記第1の出力トランジスタをオンする第1の駆動モード、または、対応する前記第1の出力トランジスタをオフしたうえ、同じく対応する前記第2の出力トランジスタをオンする第2の駆動モードの動作をそれぞれ行わせ、その際、第1の駆動モードに関わるビット別出力端子の電位が安定したのちに、第2の駆動モードに関

6

わるビット別出力端子の電位変化が開始されるように、または、第2の駆動モードに関わるビット別出力端子の電位が安定したのちに、第1の駆動モードに関わるビット別出力端子の電位変化が開始されるようにする出力トランジスタ駆動手段（レベルシフト回路2、遅延回路13、NOT回路14～16など）とを備えた容量性負荷駆動回路であつて、前記出力トランジスタ駆動手段が、前記第1、第2の駆動モードのうちビット別出力端子の電位変化が後続側となる駆動モードに関わる出力トランジスタのオン駆動の開始を、前記ラッチ信号のパルスの後端（時点 t_2 ）で行わせる遅延手段を備えたものとする。

【0018】また請求項2の容量性負荷駆動回路は、請求項1に記載の容量性負荷駆動回路において、前記遅延手段が前記ラッチ回路のラッチ出力およびラッチ信号を入力とする論理ゲート回路（NAND回路121、NOT回路122など）を備えたものであるようにする。

【0019】また請求項3の容量性負荷駆動回路は、請求項1または2に記載の容量性負荷駆動回路において、半導体集積回路の少なくとも一部を構成するものとする。即ち、本発明の作用は、H→LおよびL→Hと互いに逆方向に高電圧側出力OUTが反転するビット相互間における、高電圧側出力OUTの電位変化のタイミングの重なりを防ぐために必要な大きな遅延時間を、ラッチ信号の拡大したパルス幅によって得るものである。

【0020】

【発明の実施の形態】図1は本発明の1実施例としての容量性負荷駆動回路01の1ビット分の詳細構成を示す図で図4に対応し、図2は図1のラッチ信号LTのパルス入力時点付近の動作タイミング図で図5に対応するものである。図1においては図4の遅延回路12に代わり、ラッチ回路11の出力Qとラッチ信号LTとを入力とするNAND回路121と、このNAND回路121の出力を反転するNOT回路122とを用いている。

【0021】そして図2に示すように、本発明ではラッチ信号LTのパルス幅（L期間の長さ） T_W を従来よりも長くすることによって、高電圧側出力OUTをLからHに反転する場合にPchFET3のオンを遅らせる前述の大きな遅延時間 T_{PDL} を得るようにしている。次に動作タイミング図2により、図1におけるデータ信号INのH、Lの切り替わり時の動作を述べる。

【0022】図1においても、ラッチ回路11へのラッチ信号LTがHからLに立下がると、ラッチ回路11はデータ信号INのHまたはLをラッチし、ラッチ回路11の出力QはそれぞれHまたはLとなる。図2a)のように時点 t_1 においてラッチ回路出力QがHからLになるビットについての動作は図5a)とほぼ同じであり、ラッチ信号LTが時点 t_1 でLに立下がるとPchFET3は或る短い伝達遅延時間（レベルシフト回路2の遅延時間及びPchFET3のゲート容量充電時間が大

(5)

7

半)の T_{p1} だけ遅れてオフする。

【0023】一方、 $NchFET4$ は貫通電流を低減するための遅延回路13により時点 t_1 から遅延時間 T_{NDL} だけ遅れてオンし、こののち下降時間 t_f を経て高電圧側出力 OUT は H から L になる。この場合、時点 t_2 にラッチ信号 LT が H に戻っても、ラッチ回路出力 Q が L のままであることからこの状態は保持される。なお、ラッチ回路出力 Q が時点 t_1 以後も H のままになるビットの場合、 $NchFET4$ はオフのままであるが、 $PchFET3$ はオンの状態から、ラッチ信号 LT のパルス幅(L 期間) T_W に相当する時間だけ、一時的にオフ状態に駆動される。

【0024】しかしこのオフ状態においては、当該負荷端子(高電圧側出力 OUT)から見た駆動回路01側は高インピーダンス状態に保たれることになり、且つこの期間 T_W も200ns程度と極めて短いため、容量性負荷の放電による電圧変化は小さく、その影響は無視できる。次に図2b)のように時点 t_1 でラッチ回路出力 Q が L から H になるビットでは、ラッチ信号 LT が L に立下がっている期間 T_W の間は、ラッチ回路出力 Q とは無関係に $NAND$ 回路121の出力は H のまま、つまり $PchFET3$ をオフ駆動する方向にある。この場合 $PchFET3$ はラッチ信号 LT が L に立下がる時点 t_1 以前もオフ状態なので、そのオフ状態を保持することになる。

【0025】一方、 $NchFET4$ については時点 t_1 でラッチ回路出力 Q が L から H になることによって、遅延回路13の入力は $NchFET4$ をオフ駆動する信号に変わる。このタイミングでは図5b)の場合と同様、遅延回路13の遅延時間は極力小さくするようにしてあるため、 $NchFET4$ は時点 t_1 から或る短い遅延時間 T_{N1} だけ遅れてオフする。

【0026】次に時点 t_2 でラッチ信号 LT が H に戻ると、ラッチ回路出力 Q も H のため、この時点 t_2 で $NAND$ 回路121の出力は H から L に切り替わり、 $PchFET3$ は、時点 t_2 から或る短い伝達遅延時間(レベルシフト回路2の遅延及び、 $PchFET3$ のゲート容量充電時間が大半) T_{p2} だけ遅れて、つまり時点 t_1 からの遅延時間 $T_{PDL} = T_W + T_{p2}$ であるような時点にオンすることになる。

【0027】従って、 $PchFET3$ のオンのタイミングは、ラッチ信号 LT の L から H への立上がり(ラッチ信号パルスの後端)のタイミング、つまりラッチ信号 LT のパルス幅 T_W で任意に制御でき、従来のように高電圧側出力 OUT を L から H にする時の貫通電流低減のために、わざわざ $PchFET3$ のオンを大きく遅延させる遅延回路12は必要なくなり、遅延回路としては、高電圧側出力 OUT を H から L にする時の貫通電流低減のために、 $NchFET4$ のオンのタイミングを遅らす遅延量の比較的小さい遅延回路13を用いるだけで良くな

8

る。

【0028】ところで、ラッチ回路11については、上記実施例のように、ラッチ信号 LT の立下がりエッジ(つまりラッチ信号パルスの前端)でデータ信号を保持するものと、ラッチ信号 LT の立上がりエッジ(つまりラッチ信号パルスの後端)で保持するラッチ回路が考えられる。しかし、後者のラッチ回路はラッチ信号 LT のパルス幅の期間にデータ信号 IN が変化するとラッチ出力 Q も変化してしまう。従って、データ信号 IN がクロックで動作するシフトレジスタからの出力のような場合で、ラッチ信号 LT のパルス後端までクロック信号を止めていたくない時、特に今回のようにラッチ信号 LT のパルス幅期間が長い場合は、前者のラッチ回路のようにラッチ信号 LT のパルス前端でデータ信号を保持してしまう回路が良い。

【0029】また、ラッチ信号 LT のパルスを実施例とは逆に H レベルとした場合は、 $NAND$ 回路121とラッチ信号 LT の間に NOT 回路を入れれば良い。容量性負荷駆動回路01の消費電流を削減するだけであれば、上記の実施例のタイミングとは逆に、高電圧側出力 OUT が H から L に反転するタイミングより L から H に反転するタイミングのほうを早める方法も考えられ、これも本発明に含まれる。

【0030】但しこの場合、高電圧側出力 OUT の H の期間に重なりが生じることになるため、特にプラズマディスプレイパネルのようにスキャン側の信号のアクティブタイミングで、データ信号が H のデータになっているビットだけが発光する場合に、この重なりの部分で誤発光する可能性がある。従って上記実施例では、高電圧側出力 OUT が H から L に反転するタイミングより L から H に反転するタイミングのほうを遅くした形で回路を構成している。

【0031】

【発明の効果】本発明によれば、低電圧の電源で生成された複数ビットのデータ信号を入力し、入力ビット別に設けられたレベルシフト回路等を介し、それぞれ相補接続された出力トランジスタを駆動し、比較的高い電圧の電源を用いたビット別の H 、 L の駆動信号を高電圧側出力 OUT として得てビット別の容量性負荷を駆動する回路において、 $H \rightarrow L$ および $L \rightarrow H$ と互いに逆方向に高電圧側出力 OUT が反転するビット相互間における、高電圧側出力 OUT の電位変化のタイミングの重なりを防ぎ、容量性負荷駆動回路の損失を低減するための大きな遅延時間をラッチ信号の拡大したパルス幅によって得るようにしたので、特に入力信号を追加する必要はなく、単に従来使用してきたラッチ信号のパルス幅で大きな遅延時間を任意に制御できるため、様々な負荷容量にも対応でき、温度特性等も考慮して容量性負荷駆動回路の利用者側で遅延時間を設定することができる。さらに半導体集積回路の回路規模を増大させる必要もなくなる。

(6)

9

10

【図面の簡単な説明】

【図1】本発明の一実施例としての容量性負荷駆動回路の1ビット分の詳細構成図

【図2】図1の要部の動作を示すタイミング図

【図3】容量性負荷駆動回路の隣接する2ビット分の負荷側を含む概略の構成図

【図4】図1に対応する従来回路の構成図

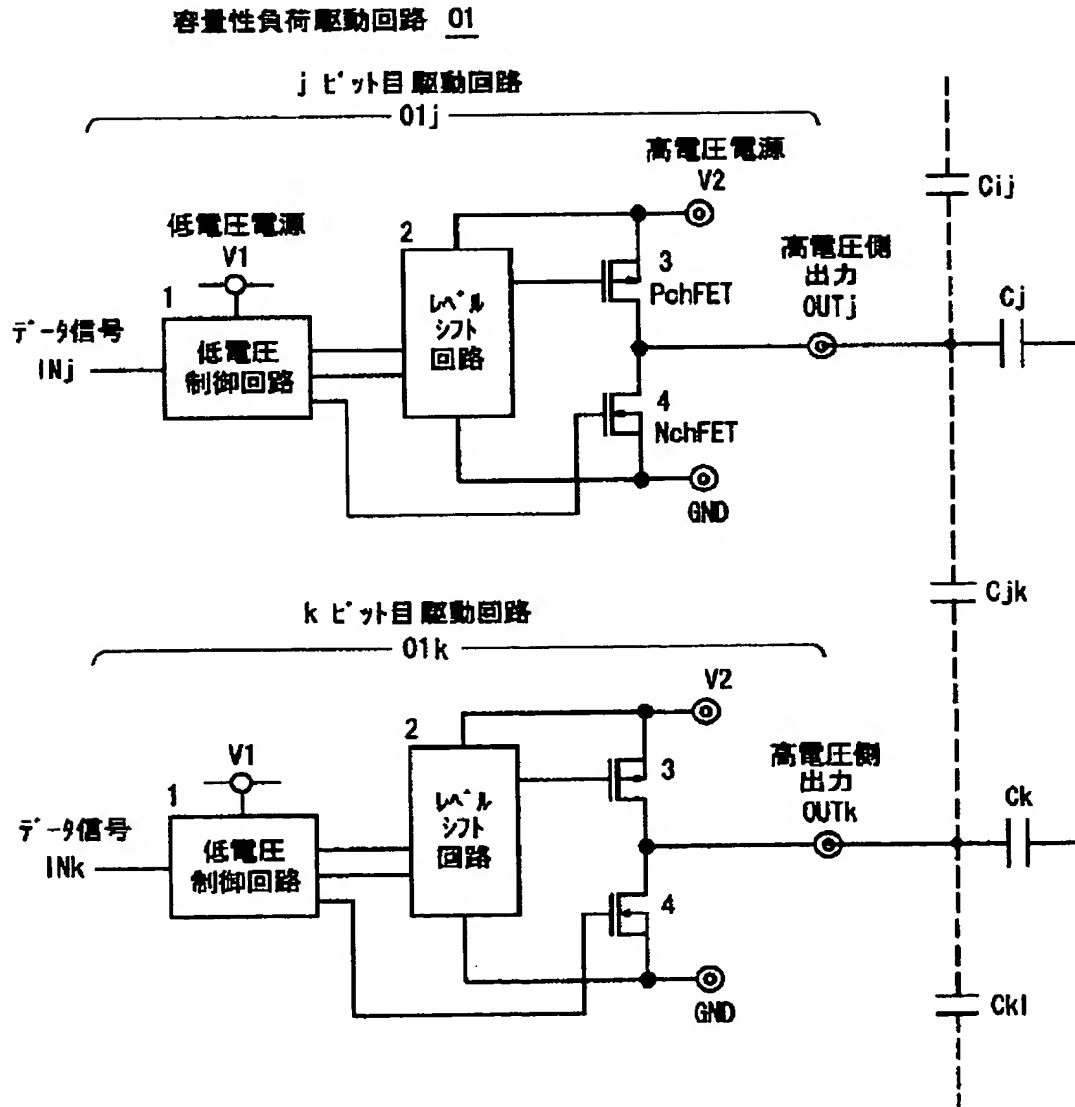
【図5】図4の要部の動作を示すタイミング図

【符号の説明】

0 1 容量性負荷駆動回路
2 レベルシフト回路
3 PchFET
4 NchFET

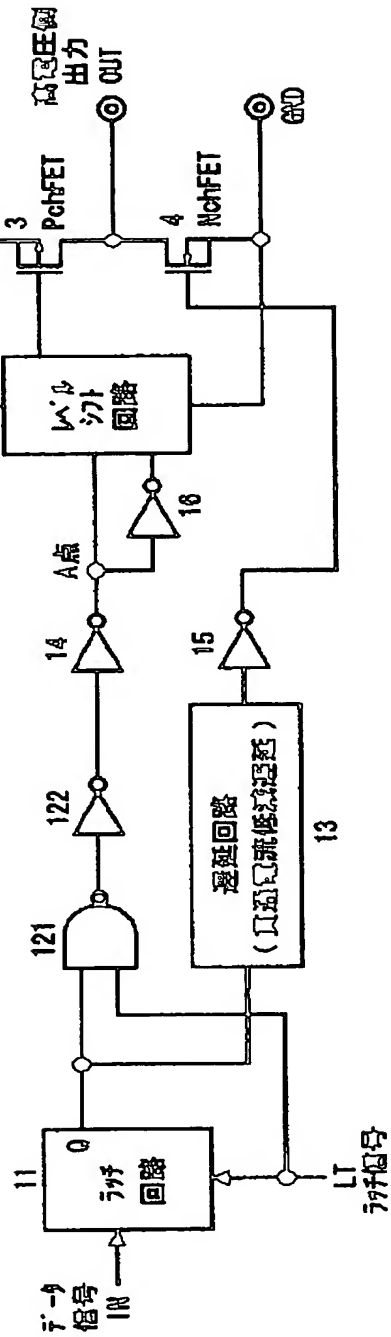
1 1 ラッチ回路
1 3 遅延回路
1 4 ~ 1 6 NOT回路
1 2 1 NAND回路
1 2 2 NOT回路
1 N データ信号
L T ラッチ信号
V 1 低電圧電源
V 2 高電圧電源
10 OUT 高電圧側出力
GND グランド
T_W ラッチ信号のパルス幅

【図3】



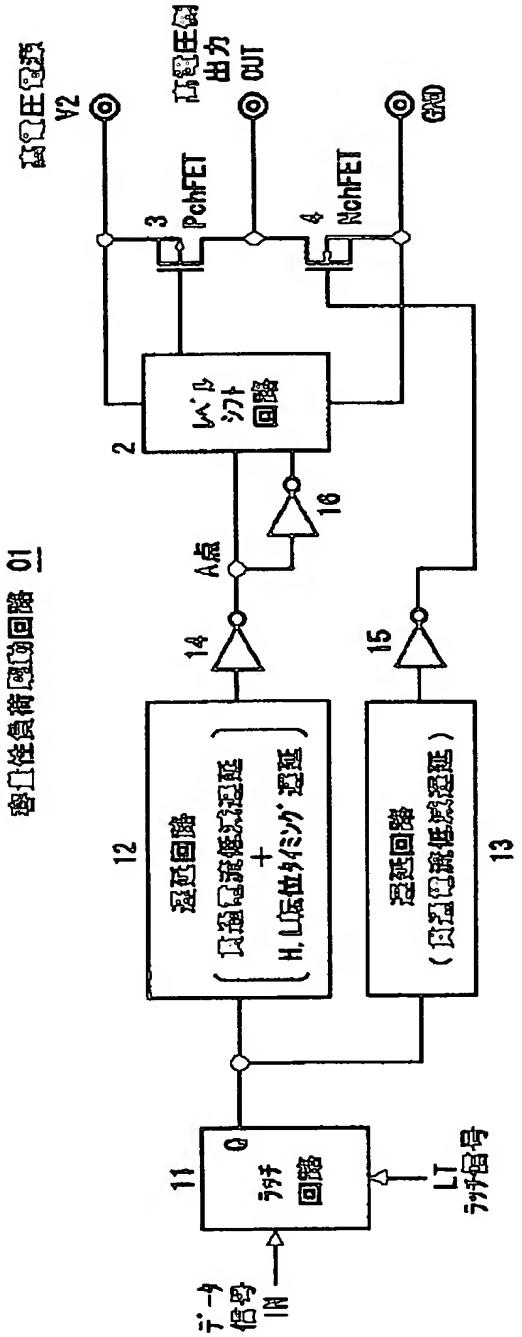
(7)

図1 遅延回路 01



【図1】

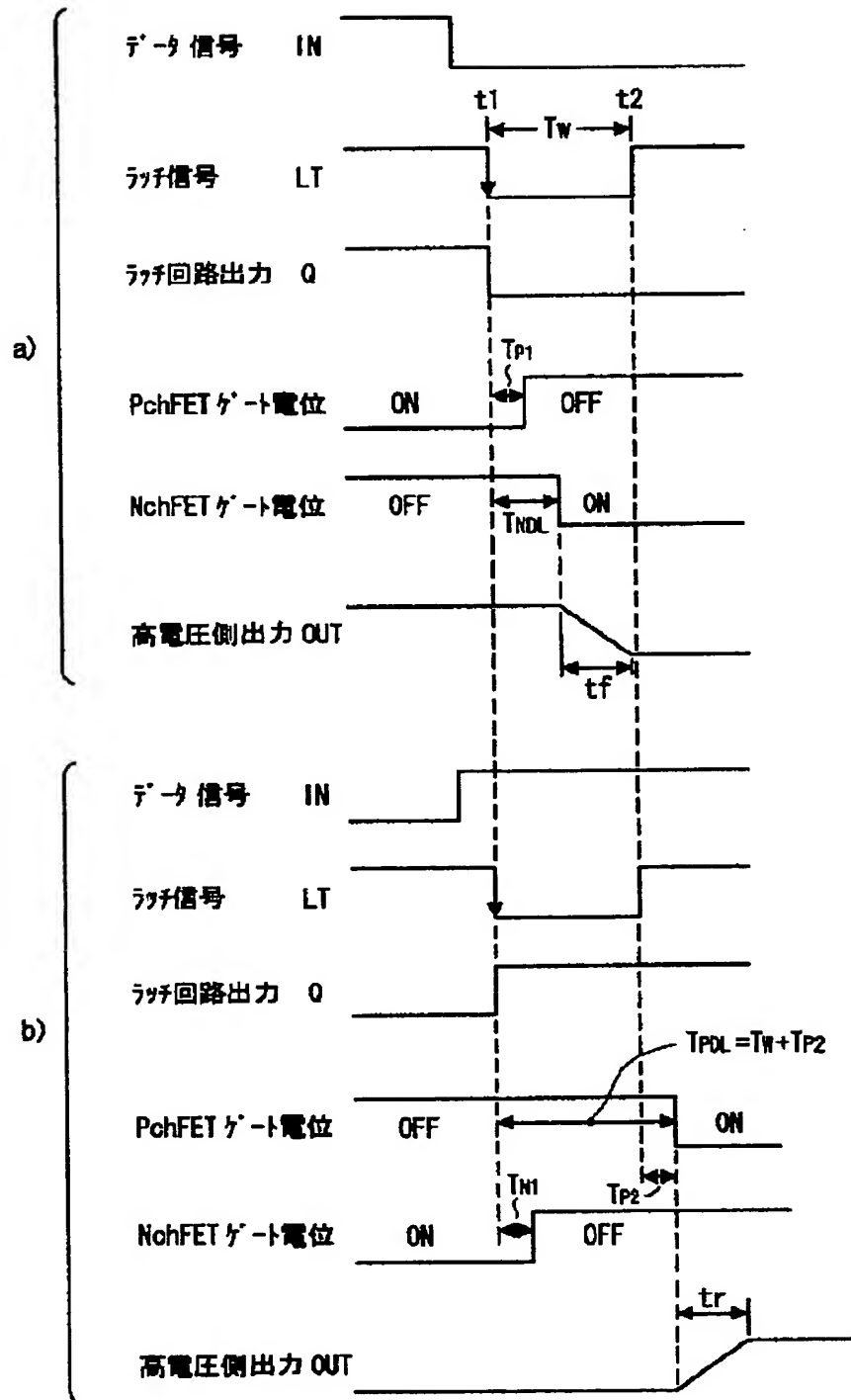
図4 遅延回路 01



【図4】

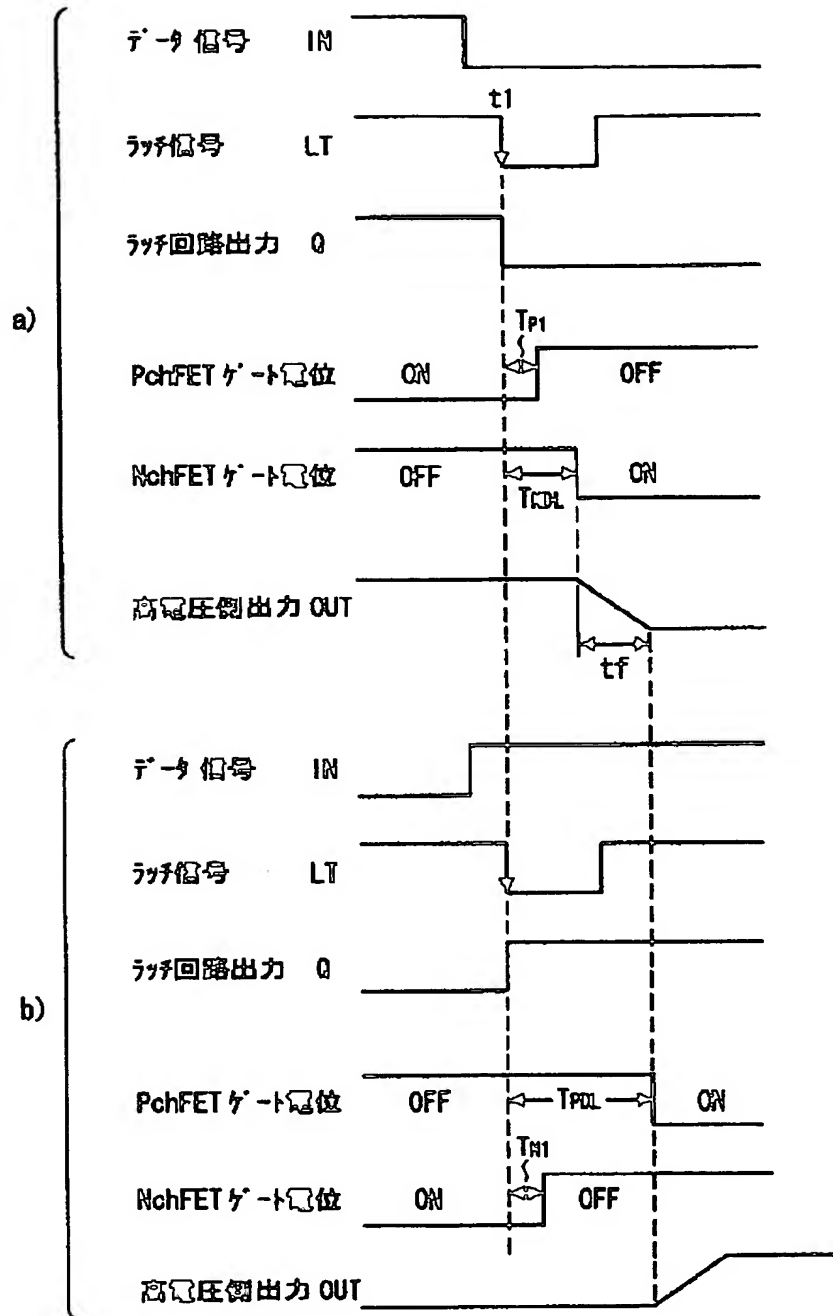
(8)

【図 2】



(9)

【図5】



(10)

フロントページの続き

F ターム(参考) 5J055 AX04 AX27 AX48 AX54 AX66
BX16 CX12 DX12 DX56 DX72
DX83 EX07 EX21 EY21 EZ07
EZ20 EZ25 EZ50 FX12 FX17
FX35 GX01 GX04
5J056 AA05 BB19 BB38 BB57 CC05
CC14 CC21 DD12 DD28 FF08
KK00